

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasushi SHIZUKI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE WITH DIFFERENTIAL OUTPUT DRIVER CIRCUIT, AND SYSTEM FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

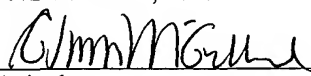
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-121631	April 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913



22850



02S1102

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月25日

出 願 番 号

Application Number:

特願2003-121631

[ST.10/C]:

[JP 2003-121631]

出 願 人

Applicant(s):

株式会社東芝

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3038212

【書類名】 特許願

【整理番号】 A000204447

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/151
H01L 27/00

【発明の名称】 半導体集積回路装置及び半導体集積回路装置を用いたシステム

【請求項の数】 28

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 志津木 康

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及び半導体集積回路装置を用いたシステム

【特許請求の範囲】

【請求項 1】 集積回路が形成されたチップと、

前記集積回路で生成された差動ペア信号を外部へ出力する差動出力ドライバ回路と、

前記差動出力ドライバ回路から出力される差動ペア信号が伝送される第 1，第 2 の信号線路と、

前記チップ中に、前記第 1，第 2 の信号線路の少なくとも一方に接続して設けられ、前記第 1，第 2 の信号線路を伝送される信号の遅延が実質的に同じになるように遅延する能動素子を有し、前記第 1，第 2 の信号線路の線路長差による信号遅延時間を補償するように構成された遅延部と

を具備することを特徴とする半導体集積回路装置。

【請求項 2】 前記遅延部は、一方の電極が前記第 1，第 2 の信号線路のうち線路長の短い方に接続されたキャパシタンス素子を含み、前記キャパシタンス素子は、MOS (Metal-Oxide-Semiconductor) ゲート容量を用いたキャパシタンス素子であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記遅延部は、遅延時間が可変であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】 前記遅延部は、複数のキャパシタンス素子と、前記第 1，第 2 の信号線路のうち線路長の短い方と前記複数のキャパシタンス素子の一方の電極との間に設けられ、前記複数のキャパシタンス素子の一方の電極に選択的に電位を与える制御回路とを備えることを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】 前記遅延部は、複数のキャパシタンス素子と、前記複数のキャパシタンス素子の各々の一方の電極と前記第 1，第 2 の信号線路のうち線路長の短い方との間にそれぞれ接続される複数のスイッチ素子と、前記複数のスイッチ素子を選択的にオン／オフ制御する制御回路とを備えることを特徴とする請求

項 3 に記載の半導体集積回路装置。

【請求項 6】 前記遅延部は、各々の一方の電極が前記第 1，第 2 の信号線路のうち線路長の短い方に接続された複数のキャパシタンス素子と、前記複数のキャパシタンス素子の他方の電極に選択的に電位を与える制御回路とを備えることを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 7】 集積回路が形成されたチップと、
前記集積回路で生成された差動ペア信号を外部へ出力する差動出力ドライバ回路と、

前記差動出力ドライバ回路から出力される差動ペア信号が伝送される第 1，第 2 の信号線路と、

前記チップ中に、前記集積回路から前記差動出力ドライバ回路へ前記差動ペア信号を伝送する第 3，第 4 の信号線路の少なくとも一方に接続して設けられ、前記第 1，第 2 の信号線路を伝送される信号の遅延が実質的に同じになるように前記差動ペア信号の少なくとも一方を遅延する能動素子を有し、前記第 1，第 2 の信号線路の線路長差による信号遅延時間を補償するように構成された遅延部とを具備することを特徴とする半導体集積回路装置。

【請求項 8】 前記遅延部は、前記第 3，第 4 の信号線路において前記第 1，第 2 の信号線路のうち線路長の短い方に対応する方に一方の電極が接続されるキャパシタンス素子を含み、前記キャパシタンス素子は、MOS (Metal-Oxide-Semiconductor) ゲート容量を用いたキャパシタンス素子であることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 9】 前記遅延部は、遅延時間が可変であることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 10】 前記遅延部は、複数のキャパシタンス素子と、前記第 3，第 4 の信号線路において前記第 1，第 2 の信号線路のうち線路長の短い方に対応する方と前記複数のキャパシタンス素子の一方の電極との間に設けられ、前記複数のキャパシタンス素子の一方の電極に選択的に電位を与える制御回路とを備えることを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 11】 前記遅延部は、複数のキャパシタンス素子と、前記複数の

キャパシタンス素子の各々の一方の電極と前記第 3，第 4 の信号線路において前記第 1，第 2 の信号線路のうち線路長の短い方に対応する方との間にそれぞれ接続される複数のスイッチ素子と、前記複数のスイッチ素子を選択的にオン／オフ制御する制御回路とを備えることを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 1 2】 前記遅延部は、各々の一方の電極が前記第 3，第 4 の信号線路において前記第 1，第 2 の信号線路のうち線路長の短い方に対応する方に接続された複数のキャパシタンス素子と、前記複数のキャパシタンス素子の他方の電極に選択的に電位を与える制御回路とを備えることを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 1 3】 前記遅延部は、前記集積回路から前記第 3，第 4 の信号線路を伝送される前記差動ペア信号が入力される第 1，第 2 のフリップフロップ回路と、前記第 1，第 2 のフリップフロップ回路に異なる位相のクロック信号を与える制御回路とを含むことを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 1 4】 前記チップ中に設けられ、少なくとも入出力の一方がインピーダンス整合終端していない入出力回路を更に具備することを特徴とする請求項 1 乃至 1 3 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 1 5】 前記チップ中に設けられ、前記第 1 の信号経路を伝達される差動ペア信号の一方の反転信号と、前記第 2 の信号経路を伝達される差動ペア信号の他方が入力される受信回路と、前記受信回路の出力信号と制御信号とが入力され、選択した信号を前記制御回路に供給する信号選択回路と、前記信号選択回路に切り替え信号を供給する切替信号発生器とを備えることを特徴とする請求項 4，5，6，1 0，1 1，1 2 及び 1 3 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 1 6】 前記制御回路を制御し、差動ペア信号のアンバランスに対するマージンを検査するテスト部を更に具備することを特徴とする請求項 4，5，6，1 0，1 1，1 2，1 3 及び 1 5 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 1 7】 前記テスト部は、前記チップ中に設けられ、テスト信号を

生成して前記制御回路に供給するテスト信号生成回路を含むことを特徴とする請求項 1 6 に記載の半導体集積回路装置。

【請求項 1 8】 前記テスト部は、前記第 1，第 2 の信号線路に接続され、差動ペア信号の正誤を判断し、遅延量のマージンを検査するテスト部を含むことを特徴とする請求項 1 6 または 1 7 に記載の半導体集積回路装置。

【請求項 1 9】 チップ内で生成された差動ペア信号を第 1，第 2 の信号線路を介して外部に出力する差動出力ドライバ回路を備える半導体集積回路装置と

前記半導体集積回路装置から前記第 1，第 2 の信号線路を介して出力された差動ペア信号を受信する第 1 の受信部と、

前記第 1 の受信部で受信した差動ペア信号の信号処理を行って前記差動ペア信号のアンバランスを補正するための補正データを生成する信号処理部と、

前記信号処理部で生成した補正データを前記半導体集積回路装置に送信する送信部と、

前記半導体集積回路装置中に設けられ、前記送信部から送信された補正データを受信する第 2 の受信部と、

前記第 2 の受信部で受信した補正データに基づいて遅延時間が変化し、前記第 1，第 2 の信号線路を伝送される信号の遅延が実質的に同じになるように遅延する能動素子を有し、前記第 1，第 2 の信号線路の線路長差による信号遅延時間を補償するように構成された遅延部と

を具備することを特徴とする半導体集積回路装置を用いたシステム。

【請求項 2 0】 前記遅延部を制御し、前記差動ペア信号のアンバランスに対するマージンを検査するテスト部を更に具備することを特徴とする請求項 1 9 に記載の半導体集積回路装置を用いたシステム。

【請求項 2 1】 前記テスト部は、前記チップ中に設けられ、テスト信号を生成して前記制御回路に供給するテスト信号生成回路を含むことを特徴とする請求項 2 0 に記載の半導体集積回路装置を用いたシステム。

【請求項 2 2】 前記テスト部は、前記第 1，第 2 の信号線路に接続され、差動ペア信号の正誤を判断し、遅延量のマージンを検査するテスト部を含むことを

特徴とする請求項 2 0 または 2 1 に記載の半導体集積回路装置を用いたシステム。

【請求項 2 3】 前記遅延部は、前記第 1, 第 2 の信号線路の少なくとも一方に設けられることを特徴とする請求項 1 9 乃至 2 2 いずれか 1 つの項に記載の半導体集積回路装置を用いたシステム。

【請求項 2 4】 前記遅延部は、前記差動出力ドライバ回路に差動ペア信号を供給する内部回路における第 3, 第 4 の信号線路の少なくとも一方に設けられることを特徴とする請求項 1 9 乃至 2 2 いずれか 1 つの項に記載の半導体集積回路装置を用いたシステム。

【請求項 2 5】 前記遅延部は、第 1, 第 2 のフリップフロップ回路と、前記第 1, 第 2 のフリップフロップ回路に異なる位相のクロック信号を与える制御回路とを備え、前記第 2 の受信部で受信した補正データに基づいて前記制御回路を制御することを特徴とする請求項 1 9 乃至 2 4 いずれか 1 つの項に記載の半導体集積回路装置を用いたシステム。

【請求項 2 6】 前記遅延部は、複数のキャパシタンス素子と、前記複数のキャパシタンス素子を選択して遅延時間を制御する制御回路とを備え、前記第 2 の受信部で受信した補正データに基づいて前記制御回路を制御することを特徴とする請求項 1 9 乃至 2 4 いずれか 1 つの項に記載の半導体集積回路装置を用いたシステム。

【請求項 2 7】 前記第 2 の受信部は、前記送信部から出力された補正データを受信する受信回路と、前記受信回路で受信した補正データと制御信号とが入力され、一方を選択して前記制御回路に供給する信号選択回路と、前記信号選択回路に切り替え信号を供給して選択を制御する切替信号発生器とを備えることを特徴とする請求項 2 5 または 2 6 に記載の半導体集積回路装置を用いたシステム。

【請求項 2 8】 前記受信回路は、前記送信部から出力され、前記第 1, 第 2 の信号経路を介して伝送された補正データを受信することを特徴とする請求項 2 7 に記載の半導体集積回路装置を用いたシステム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体集積回路装置及び半導体集積回路装置を用いたシステムに関し、特に差動ペア信号を伝達する高速入出力回路に適用されるものである。

【 0 0 0 2 】

【従来の技術】

近年、半導体集積回路装置にあっては、入出力回路（I/O回路と略称する）の高速化が進み、GHz帯の入出力信号を取り扱う必要がある。このような高い周波数の信号をI/O回路で取り扱う場合には、入出力用に雑音に強い差動ペア信号を用いる、LSIとパッケージ間の接続に配線長の短縮と均一化ができるバンプ接続を使用する、等の技術が採用されている。

【 0 0 0 3 】

図17は、このような従来の半導体集積回路装置について説明するためのもので、差動ペア信号を伝送する出力回路（差動出力ドライバ回路）を抽出して示している。差動出力ドライバ回路11は、差動入力MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）12、13、負荷素子14、15及び定電流源16を含んで構成されている。上記差動入力MOSFET12、13のゲートには、前段の回路17から差動ペア信号が供給される。上記差動入力MOSFET12、13のドレインと電源 V_{DD} 間にはそれぞれ、負荷素子14、15が接続される。また、上記差動入力MOSFET12、13のソースは共通接続され、このソース共通接続点と接地点 V_{SS} 間に定電流源16が接続されている。

【 0 0 0 4 】

上記MOSFET13のドレインと負荷素子15との接続点には、グローバル層配線18の一端が接続され、このグローバル層配線18の他端はバンプ20に接続されている。また、上記MOSFET12のドレインと負荷素子14との接続点には、グローバル層配線19の一端が接続され、このグローバル層配線19の他端はバンプ21に接続される。これらバンプ20、21は、ICまたはLSIの出力端子として働くもので、チップの表面に設けられている。そして、上記

bumps 2 0, 2 1 には、パッケージ内（ボンディングワイヤやリードフレーム、TAB テープ等）や当該半導体集積回路装置が実装される配線基板上に設けられた伝送線路 2 2, 2 3 の一端が接続される。

【0 0 0 5】

なお、システム L S I では、上述したような差動出力ドライバ回路 1 1 が各々の I / O 部に多数設けられている。また、上記伝送線路 2 2, 2 3 は、受信側でこれらの伝送線路 2 2, 2 3 の特性インピーダンスと同じ抵抗により終端されるが、図 1 7 では省略している。

【0 0 0 6】

このような差動出力ドライバ回路 1 1 が理想的に動作していれば、外来ノイズに対して強くなる。しかし、チップ中に多数の I / O 回路を設けるため、次のような問題が発生する。

【0 0 0 7】

（a）差動ペア信号の信号線長が等しくないと、伝送線路 2 2, 2 3 端における伝播遅延時間のずれ（スキュー）が発生する。

【0 0 0 8】

（b）上記スキューの発生により、同相電流が伝送線路 2 2, 2 3 間に生じ（理想的には発生しないが）、周囲のパターンなどに結合して放射されるノイズ（コモンモードノイズ）が発生する。

【0 0 0 9】

上記（a）、（b）の問題点を引き起こす線路長の不揃いが起きる具体的な箇所としては、次の項目が考えられる。

【0 0 1 0】

（1）パッケージ内（ボンディングワイヤやリードフレーム、TAB テープ）や配線基板上に設けられた伝送線路 2 2, 2 3 の配線長の不揃い。

【0 0 1 1】

（2）負荷素子 1 4, 1 5 と bumps 2 0, 2 1 間を各々接続するグローバル層配線 1 8, 1 9 の配線長の不揃い。

【0 0 1 2】

従来、(1)の項目に関しては、一方の配線を配線基板上でU字状に曲げ、配線長を等長になるように調整して対処することが多い。しかしながら、差動ペア信号の周波数がGHz帯になると、上述したU字状の配線から電磁波が放射される等の問題が生じる可能性がある。また、I/O数の増大に従い、多数のU字状の配線を配線基板上に設ける必要性があり、伝送線路のレイアウト面積が増大してしまう。

【 0 0 1 3 】

一方、(2)の項目に関しては、同様にLSI上で配線長を調整することになるが、I/Oの全てに渡り差動ペア配線長をLSI上で調節すると、スペースが無駄になる。また、接地端子となるバンプと、信号入出力用のバンプ20, 21との位置関係によっては、接地点からのリターン電流に経路差が生じ、グローバル層配線18, 19の線路長差以上のスキューが生じる恐れがある。このため、GHz帯の周波数ではグローバル層配線18, 19の配線長の不揃いによって、スキューやコモンモードノイズの発生源となり得る。

【 0 0 1 4 】

前述したように、スキューやコモンモードノイズを減少させるためには、差動ペア配線の線路長をできるだけ等しく保つことが必要である。しかしながら、現実には、パッケージや配線基板の製造公差に起因するばらつきが存在するために、差動ペア配線の線路長差をなくすことはできない。

【 0 0 1 5 】

特に、差動ペア信号がGHz帯の周波数においては、上述したようなばらつきが伝送特性へ与える影響が非常に大きくなる。このため、大量生産を行う場合には、製造ばらつきに対するマージンをチェックする機能を有するシステムも望まれている。

【 0 0 1 6 】

なお、例えば特許文献1には、差動増幅器と抵抗を用いたスキュー補正回路が開示されているが、回路規模が大きいため、各々のI/Oに設けるとチップに対する占有面積が大幅に増大する。このため、GHz帯の高い周波数の信号を取り扱う半導体集積回路装置に適用するのは、現実的とは言えない。

【 0 0 1 7 】

【特許文献 1】

特許第 3 1 4 4 1 9 9 号

【 0 0 1 8 】

【発明が解決しようとする課題】

上記のように従来の半導体集積回路装置は、差動ペア配線の線路長差により、スキューやコモンモードノイズが発生するという問題があった。

【 0 0 1 9 】

また、大量生産を行う場合に、製造ばらつきに対するマージンをチェックできる半導体集積回路装置を用いたシステムが望まれている。

【 0 0 2 0 】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、差動ペア配線の線路長差によるスキューやコモンモードノイズの発生を抑制できる半導体集積回路装置を提供することにある。

【 0 0 2 1 】

また、製造ばらつきによるスキューやコモンモードノイズに対するマージンを検査できる半導体集積回路装置を用いたシステムを提供することにある。

【 0 0 2 2 】

【課題を解決するための手段】

この発明の一態様によると、集積回路が形成されたチップと、前記集積回路で生成された差動ペア信号を外部へ出力する差動出力ドライバ回路と、前記差動出力ドライバ回路から出力される差動ペア信号が伝送される第 1，第 2 の信号線路と、前記チップ中に、前記第 1，第 2 の信号線路の少なくとも一方に接続して設けられ、前記第 1，第 2 の信号線路を伝送される信号の遅延が実質的に同じになるように遅延する能動素子を有し、前記第 1，第 2 の信号線路の線路長差による信号遅延時間を補償するように構成された遅延部とを具備する半導体集積回路装置が提供される。

【 0 0 2 3 】

また、この発明の一態様によると、集積回路が形成されたチップと、前記集積

回路で生成された差動ペア信号を外部へ出力する差動出力ドライバ回路と、前記差動出力ドライバ回路から出力される差動ペア信号が伝送される第1，第2の信号線路と、前記チップ中に、前記集積回路から前記差動出力ドライバ回路へ前記差動ペア信号を伝送する第3，第4の信号線路の少なくとも一方に接続して設けられ、前記第1，第2の信号線路を伝送される信号の遅延が実質的に同じになるように前記差動ペア信号の少なくとも一方を遅延する能動素子を有し、前記第1，第2の信号線路の線路長差による信号遅延時間を補償するように構成された遅延部とを具備する半導体集積回路装置が提供される。

【 0 0 2 4 】

更に、この発明の一態様によると、チップ内で生成された差動ペア信号を第1，第2の信号線路を介して外部に出力する差動出力ドライバ回路を備える半導体集積回路装置と、前記半導体集積回路装置から前記第1，第2の信号線路を介して出力された差動ペア信号を受信する第1の受信部と、前記第1の受信部で受信した差動ペア信号の信号処理を行って前記差動ペア信号のアンバランスを補正するための補正データを生成する信号処理部と、前記信号処理部で生成した補正データを前記半導体集積回路装置に送信する送信部と、前記半導体集積回路装置中に設けられ、前記送信部から送信された補正データを受信する第2の受信部と、前記第2の受信部で受信した補正データに基づいて遅延時間が変化し、前記第1，第2の信号線路を伝送される信号の遅延が実質的に同じになるように遅延する能動素子を有し、前記第1，第2の信号線路の線路長差による信号遅延時間を補償するように構成された遅延部とを具備する半導体集積回路装置を用いたシステムが提供される。

【 0 0 2 5 】

上記のような構成の半導体集積回路装置によれば、第1，第2の信号線路の少なくとも一方に遅延部を設け、上記第1，第2の信号線路を伝送される信号の遅延が実質的に同じになるように遅延し、上記第1，第2の信号線路の線路長差による信号遅延時間を補償するので、差動ペア配線の線路長差を実質的になくして、スキューやコモンモードノイズの発生を抑制できる。

【 0 0 2 6 】

また、集積回路から差動出力ドライバ回路へ差動ペア信号を伝送する第 3、第 4 の信号線路の少なくとも一方に遅延部を設け、第 1、第 2 の信号線路を伝送される信号の遅延が実質的に同じになるように差動ペア信号の少なくとも一方を遅延する能動素子を有し、第 1、第 2 の信号線路の線路長差による信号遅延時間を補償するように構成したので、差動ペア配線の線路長差を実質的になくしてスキューやコモンモードノイズの発生を抑制できる。

【 0 0 2 7 】

更に、上記のような構成のシステムでは、第 1 の受信部で半導体集積回路装置から出力される差動ペア信号をモニタし、信号処理部で最も良好な差動ペア信号の信号波形を示す遅延量を求め、その結果得られた補正データを送信部から半導体集積回路装置に入力する。そして、第 2 の受信部で補正データを受信して遅延部による遅延量を最適化する。これによって、製造ばらつきに対するマージンをチェックし、半導体集積回路装置から出力される差動ペア信号の波形を最適化できる。また、検査結果に基づいて差動ペア配線の線路長差によるスキューやコモンモードノイズの発生をより効果的に低減することができる。

【 0 0 2 8 】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

〔第 1 の実施の形態〕

図 1 は、この発明の第 1 の実施の形態に係る半導体集積回路装置について説明するためのもので、差動ペア信号を伝送する出力回路（差動出力ドライバ回路）を抽出して示している。図 1 7 に示した回路と同様に、差動出力ドライバ回路 3 1 は、差動入力 MOSFET 3 2、3 3、抵抗等の負荷素子 3 4、3 5 及び定電流源 3 6 を含んで構成されている。上記差動入力 MOSFET 3 2、3 3 のゲートには、前段の回路（集積回路）3 7 から差動ペア信号が供給される。上記差動入力 MOSFET 3 2、3 3 のドレインと電源 V_{DD} 間にはそれぞれ、負荷素子 3 4、3 5 が接続される。また、上記差動入力 MOSFET 3 2、3 3 のソースは共通接続され、このソース共通接続点と接地点 V_{SS} 間に定電流源 3 6 が接続されている。

【 0 0 2 9 】

上記MOSFET 3 3のドレインと負荷素子3 5との接続点には、遅延素子（DELAY）4 4を介在してグローバル層配線3 8の一端が接続され、このグローバル層配線3 8の他端はバンプ4 0に接続されている。また、上記MOSFET 3 2のドレインと負荷素子3 4との接続点には、グローバル層配線3 9の一端が接続され、このグローバル層配線3 9の他端はバンプ4 1に接続される。

【 0 0 3 0 】

上記バンプ4 0，4 1は、ICまたはLSIの出力端子として働くもので、チップの表面に設けられている。そして、上記バンプ4 0，4 1には、パッケージ内（ボンディングワイヤやリードフレーム、TABテープ等）や当該半導体集積回路装置が実装される配線基板上に設けられた伝送線路4 2，4 3の一端が接続される。

【 0 0 3 1 】

上記遅延素子4 4は、差動ペア配線の線路長差による信号遅延時間を実質的に同じになるように調整するものである。例えば、グローバル層配線3 8、バンプ4 0及び伝送線路4 2からなる信号線路（破線の矢印SAで示す）が、グローバル層配線3 9、バンプ4 1及び伝送線路4 3からなる信号線路（破線の矢印SBで示す）より ΔL だけ短いとき、遅延素子4 4によって信号線路SA側の信号を遅延し、両信号線路SA，SBによる信号の遅延が実質的に同じになるようにするものである。この遅延素子4 4による信号の遅延量は、固定にしても良いし、可変にしても良い。

【 0 0 3 2 】

なお、システムLSI上では、上述した差動出力ドライバ回路3 1が各々のI/O部に多数設けられている。また、上記伝送線路4 2，4 3は、受信側でこれらの伝送線路4 2，4 3の特性インピーダンスと同じ抵抗により終端されるが、図1では省略している。

【 0 0 3 3 】

上記のような構成によれば、遅延素子4 4によって差動ペア配線の線路長差による信号遅延時間を補償できるので、スキューやコモンモードノイズの発生を低

減できる。

【 0 0 3 4 】

(実施例 1)

図 2 は、上述した第 1 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の具体的な実現例を示している。図 2 において、上記図 1 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 3 5 】

この例では、図 1 に示した遅延素子 4 4 として、能動素子のゲート容量により形成したキャパシタンス素子 4 4 A を設けている。

【 0 0 3 6 】

例えば MOS キャパシタは、非常に薄い酸化膜がキャパシタの誘電体となるため、十分小さいパターン占有面積で差動ペア配線（信号線路 SA, SB）の線路長差（遅延時間差）を補償できる。また、MOS キャパシタは、差動入力 MOS FET 3 2, 3 3 を形成する工程で同時に形成できるため、遅延素子 4 4 を形成するために新たな製造工程を追加する必要もない。

【 0 0 3 7 】

このような構成によれば、キャパシタンス素子 4 4 A によって差動ペア配線の線路長差による信号遅延時間を補償できるので、スキューやコモンモードノイズの発生を低減できる。

【 0 0 3 8 】

(実施例 2)

図 3 は、上述した第 1 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の他の具体的な実現例を示している。図 3 において、上記図 1 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 3 9 】

この例では、図 1 に示した遅延素子 4 4 として、制御回路 4 5 A と能動素子のゲート容量により形成した複数個（n 個）のキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n を設けている。上記制御回路 4 5 A は、キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極とグローバル層配線 3 8 の一端との間に設け

られている。この制御回路 4 5 A で、各キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極へ与える電位を制御することにより、各キャパシタンス素子の空乏層の厚さを選択的に変化させ、上記グローバル層配線 3 8 の一端に接続する容量を可変し、信号遅延量を自由に設定できる。

【 0 0 4 0 】

上記のような構成によれば、前述した実施例 1 の効果に加えて、制御回路 4 5 A を使用して信号の遅延量を細かく制御できる。

【 0 0 4 1 】

よって、差動ペア配線の線路長差による信号遅延時間をより正確に補償できるので、スキューやコモンモードノイズの発生を更に低減できる。

【 0 0 4 2 】

なお、n 個のキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の容量比を、 $1 : 2 : 4 : \dots : 2^n$ に設定し、2 の n 乗のステップで遅延量を可変できるようにすれば、これらキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の選択により、大容量から小容量まで広範囲に細かいステップで遅延量を設定し、より正確に制御できる。

【 0 0 4 3 】

(実施例 3)

図 4 は、上述した第 1 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の更に他の具体的な実現例を示している。図 4 において、上記図 1 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 4 4 】

本例では、各キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極（ゲート電極）とグローバル層配線 3 8 の一端との間に、それぞれスイッチング素子（MOSFET）4 6 - 1, ..., 4 6 - n の電流通路を接続している。そして、制御回路 4 5 B により、これら MOSFET 4 6 - 1, ..., 4 6 - n のゲートに選択的にハイレベル（“H” レベル）あるいはロウレベル（“L” レベル）の電位を与えてオン／オフ制御する。

【 0 0 4 5 】

これによって、どのゲート容量（キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n）をグローバル層配線 3 8 に接続するかを選択可能であり、信号の遅延量を自由に制御できる。

【 0 0 4 6 】

なお、n 個のキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の容量比を、 $1 : 2 : 4 : \dots : 2^n$ に設定し、2 の n 乗のステップで遅延量を可変できるようにすれば、これらキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の選択により、大容量から小容量まで広範囲に細かいステップで遅延量を設定し、より正確に制御できる。

【 0 0 4 7 】

従って、差動ペア配線の線路長差による信号遅延時間を更に正確に補償できるので、スキューやコモンモードノイズの発生をより低減できる。

【 0 0 4 8 】

（実施例 4）

図 5 は、上述した第 1 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の別の具体的な実現例を示している。図 5 において、上記図 1 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 4 9 】

本例では、各キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極（ゲート電極）をグローバル層配線 3 8 の一端に接続し、これらキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の他方の電極（ゲート電極の対向電極を形成する層）に制御回路 4 5 C から選択的に“H”レベルあるいは“L”レベルの電位を印加するようにしている。

【 0 0 5 0 】

これによって、グローバル層配線 3 8 の一端に接続されるキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の容量を選択可能であり、信号遅延量を自由に制御できる。

【 0 0 5 1 】

本実施例 4 において、実施例 2, 3 と同様に、n 個のキャパシタンス素子の容

量比を、 $1 : 2 : 4 : \dots : 2^n$ に設定し、 2 の n 乗のステップで遅延量を可変できるようにすれば、これらキャパシタンス素子 $44A-1$, \dots , $44A-n$ の選択により、大容量から小容量まで広範囲に細かいステップで遅延量を設定し、より正確に制御できる。

【 0 0 5 2 】

従って、差動ペア配線の線路長差による信号遅延時間を更に正確に補償できるので、スキューやコモンモードノイズの発生をより低減できる。

【 0 0 5 3 】

なお、前述した第 1 の実施の形態と実施例 1 乃至 4 では、一对のグローバル層配線 38, 39 のうち線路長の短い方のみに遅延素子 44 を設けたが、両方に設けて差動ペア配線の線路長差による信号遅延時間を実質的に同じになるように調整しても良いのは勿論である。

【 0 0 5 4 】

また、異なる構造の複数の遅延素子を組み合わせ、一对のグローバル層配線 38, 39 の少なくとも一方に設けても良い。

【 0 0 5 5 】

〔第 2 の実施の形態〕

図 6 は、この発明の第 2 の実施の形態に係る半導体集積回路装置について説明するためのもので、差動ペア信号を伝送する出力回路（差動出力ドライバ回路）を抽出して示している。図 1 に示した回路と同様に、差動出力ドライバ回路 31 は、差動入力 MOSFET 32, 33、負荷素子 34, 35 及び定電流源 36 を含んで構成されている。上記差動入力 MOSFET 33 のゲートには、前段の回路（集積回路）37 から遅延素子（DELAY）44 を介して差動ペア信号の一方が供給される。上記差動入力 MOSFET 32 のゲートには、前段の回路 37 から差動ペア信号の他方が供給される。

【 0 0 5 6 】

上記差動入力 MOSFET 32, 33 のドレインと電源 V_{DD} 間にはそれぞれ、抵抗等の負荷素子 34, 35 が接続される。上記差動入力 MOSFET 32, 33 のソースは共通接続され、このソース共通接続点と接地点 V_{SS} 間に定電流

源 3 6 が接続されている。

【 0 0 5 7 】

上記 MOSFET 3 3 のドレインと負荷素子 3 5 との接続点には、グローバル層配線 3 8 の一端が接続され、このグローバル層配線 3 8 の他端はバンプ 4 0 に接続されている。また、上記 MOSFET 3 2 のドレインと負荷素子 3 4 との接続点には、グローバル層配線 3 9 の一端が接続され、このグローバル層配線 3 9 の他端はバンプ 4 1 に接続される。

【 0 0 5 8 】

上記バンプ 4 0, 4 1 は、IC または LSI の出力端子として働くもので、チップの表面に設けられている。そして、上記バンプ 4 0, 4 1 には、パッケージ内や当該半導体集積回路装置が実装される配線基板上に設けられた伝送線路 4 2, 4 3 の一端が接続される。

【 0 0 5 9 】

上記遅延素子 4 4 は、差動ペア配線の線路長差による信号遅延時間を実質的に同じになるように調整するものである。例えば、グローバル層配線 3 8、バンプ 4 0 及び伝送線路 4 2 からなる信号線路（破線の矢印 SA で示す）が、グローバル層配線 3 9、バンプ 4 1 及び伝送線路 4 3 からなる信号線路（破線の矢印 SB で示す）より ΔL だけ短いとき、前段の回路 3 7 から信号線路（破線の矢印 SC で示す）を介して MOSFET 3 3 のゲートに供給される差動ペア信号の一方を遅延素子 4 4 によって遅延する。これにより、信号線路 SC に対応する信号線路 SA の信号を遅延し、両信号線路 SA, SB による信号の遅延が実質的に同じになるようにする。この遅延素子 4 4 による信号の遅延量は、固定にしても良いし、可変にしても良い。

【 0 0 6 0 】

なお、システム LSI 上では、上述した差動出力ドライバ回路 3 1 が各々の I/O 部に多数設けられている。また、上記伝送線路 4 2, 4 3 は、受信側でこれらの伝送線路 4 2, 4 3 の特性インピーダンスと同じ抵抗により終端されるが、図 6 では省略している。

【 0 0 6 1 】

更に、ここでは、差動出力ドライバ回路 3 1 の直前の信号線路 S C に遅延素子 4 4 を挿入した場合を例に取って説明したが、遅延素子 4 4 は前段の回路 3 7 中の任意の差動ペア信号が伝送される信号線路に設けても良い。

【 0 0 6 2 】

上記のような構成によれば、差動入力 MOSFET 3 2, 3 3 のゲートに入力される差動ペア信号の一方を遅延素子 4 4 によって遅延することにより、差動ペア配線 S A, S B の線路長差による信号遅延時間を補償できるので、スキューやコモンモードノイズの発生を低減できる。

【 0 0 6 3 】

図 7 (a), (b) はそれぞれ、差動出力ドライバ回路 3 1 の前段に遅延素子 4 4 を挿入した場合のシミュレーション結果を示している。差動ペア信号の周波数は 4 . 0 G H z、差動ペア信号の信号線路 S A, S B の電気長（配線長）は各々 2 9 8 m m と 3 0 2 m m、入出力を 5 0 Ω で終端した状態である。図 7 (a) はコモンモードノイズのシミュレーション結果であり、差動ペア信号のコモンモード成分（差動ペア信号の加算波形）のピークトゥーピーク（peak to peak）値、図 7 (b) はディファレンシャルモードのシミュレーション結果であり、差動ペア信号の波形の最大値を示している。また、図 7 (c) は、差動ペア信号の波形の遷移を示している。図 7 (a) におけるコモンモードのピークトゥーピーク値 ΔV は、差動ペア信号の信号線路 S A, S B を伝播される信号が各々 “ . . . 0 1 0 . . . ”、“ . . . 1 0 1 . . . ” の場合、図 7 (c) に示すように、差動ペア信号の遷移時の交点 N 1, N 2 におけるコモンモード成分の差の絶対値を示している。このピークトゥーピーク値 ΔV は、信号線路 S A, S B 間の電気長の違いによって増加する。

【 0 0 6 4 】

図 7 (a), (b) において、(A) はこの発明の第 2 の実施の形態（容量が 6 0 p s e c の遅延素子 4 4 を設けた場合）、(B) は遅延素子を設けない従来例、(C) は差動ペア信号の信号線路 S A, S B の電気長を共に 3 0 0 m m に揃えた場合である。図 7 (b) から分かるように、上記 (A) の場合、(B), (C) と比較して信号成分が 2 . 4 % 低下している。しかし、図 7 (a) に示すよ

うに、(A)のコモンモード成分は、(B)と比較して15%少なくなっており、理想状態の(C)の値に近づき、コモンモードノイズの低減を実現していることがわかる。

【 0 0 6 5 】

(実施例5)

図8は、上述した第2の実施の形態に係る半導体集積回路装置における遅延素子44の具体的な実現例を示している。図8において、上記図6と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 6 6 】

この例では、図6に示した遅延素子44として、能動素子のゲート容量により形成したキャパシタンス素子44Aを設けている。

【 0 0 6 7 】

例えばMOSキャパシタは、非常に薄い酸化膜がキャパシタの誘電体となるため、十分小さいパターン占有面積で差動ペア配線（信号線路SA，SB）の線路長差（遅延時間差）を補償できる。また、MOSキャパシタは、差動入力MOSFET32，33を形成する工程で同時に形成できるため、遅延素子44を形成するために新たな製造工程を追加する必要もない。

【 0 0 6 8 】

このような構成によれば、上記MOSFET33に供給される差動ペア信号の一方の遅延を大きくし、差動ペア配線のうち短い方（ここでは信号線路SA）の信号遅延量を大きく設定できる。これによって、信号線路SA，SBの線路長差による信号遅延時間を補償して、スキューやコモンモードノイズの発生を低減できる。

【 0 0 6 9 】

(実施例6)

図9は、上述した第2の実施の形態に係る半導体集積回路装置における遅延素子44の他の具体的な実現例を示している。図9において、上記図6と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 7 0 】

この例では、図 6 に示した遅延素子 4 4 として、制御回路 4 5 A と能動素子のゲート容量により形成した複数個（ n 個）のキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n を設けている。上記制御回路 4 5 A は、キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極と MOSFET 3 3 のゲートとの間に設けられている。この制御回路 4 5 A で、各キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極へ与える電位を制御することにより、各キャパシタンス素子の空乏層の厚さを選択的に変化させ、上記 MOSFET 3 3 のゲートに接続する容量を可変し、信号遅延量を自由に設定できる。

【 0 0 7 1 】

上記のような構成によれば、前述した実施例 5 の効果に加えて、制御回路 4 5 A を使用して信号の遅延量を細かく制御できる。

【 0 0 7 2 】

よって、差動ペア配線の線路長差による信号遅延時間をより正確に補償できるので、スキューやコモンモードノイズの発生を更に低減できる。

【 0 0 7 3 】

なお、 n 個のキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の容量比を、 $1 : 2 : 4 : \dots : 2^n$ に設定し、 2 の n 乗のステップで遅延量を可変できるようにすれば、これらキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の選択により、大容量から小容量まで広範囲に細かいステップで遅延量を設定し、より正確に制御できる。

【 0 0 7 4 】

（実施例 7）

図 1 0 は、上述した第 2 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の更に他の具体的な実現例を示している。図 1 0 において、上記図 6 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 7 5 】

本例では、各キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極（ゲート電極）とグローバル層配線 3 8 の一端との間に、それぞれスイッチング素子（MOSFET）4 6 - 1, ..., 4 6 - n の電流通路を接続している。そして

、制御回路 4 5 B により、これら MOSFET 4 6 - 1, ..., 4 6 - n のゲートに選択的にハイレベル（“H” レベル）あるいはロウレベル（“L” レベル）の電位を与えてオン／オフ制御する。

【 0 0 7 6 】

これによって、どのゲート容量（キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n）をグローバル層配線 3 8 に接続するかを選択可能であり、信号の遅延量を自由に制御できる。

【 0 0 7 7 】

なお、n 個のキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の容量比を、 $1 : 2 : 4 : \dots : 2^n$ に設定し、2 の n 乗のステップで遅延量を可変できるようにすれば、これらキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の選択により、大容量から小容量まで広範囲に細かいステップで遅延量を設定し、より正確に制御できる。

【 0 0 7 8 】

従って、差動ペア配線の線路長差による信号遅延時間を更に正確に補償できるので、スキューやコモンモードノイズの発生をより低減できる。

【 0 0 7 9 】

（実施例 8）

図 1 1 は、上述した第 2 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の別の具体的な実現例を示している。図 1 1 において、上記図 6 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 8 0 】

本例では、各キャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の一方の電極（ゲート電極）をグローバル層配線 3 8 の一端に接続し、これらキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の他方の電極（ゲート電極の対向電極を形成する層）に制御回路 4 5 C から選択的に“H” レベルあるいは“L” レベルの電位を印加するようにしている。

【 0 0 8 1 】

これによって、グローバル層配線 3 8 の一端に接続されるキャパシタンス素子

4 4 A - 1, ..., 4 4 A - n の容量を選択可能であり、信号遅延量を自由に制御できる。

【 0 0 8 2 】

本実施例 8 において、実施例 3 と同様に、n 個のキャパシタンス素子の容量比を、 $1 : 2 : 4 : \dots : 2^n$ に設定し、2 の n 乗のステップで遅延量を可変できるようにすれば、これらキャパシタンス素子 4 4 A - 1, ..., 4 4 A - n の選択により、大容量から小容量まで広範囲に細かいステップで遅延量を設定し、より正確に制御できる。

【 0 0 8 3 】

従って、差動ペア配線の線路長差による信号遅延時間を更に正確に補償できるので、スキューやコモンモードノイズの発生をより低減できる。

【 0 0 8 4 】

なお、前述した第 2 の実施の形態と実施例 5 乃至 8 では、前段の回路 3 7 から差動出力ドライバ回路 3 1 へ差動ペア信号を伝送する信号線路 S C, S D に、上記信号線路 S A, S B を伝送される信号の遅延が実質的に同じになるように遅延素子 4 4 を設けたが、両方に設けて差動ペア配線 S A, S B の線路長差による信号遅延時間を実質的に同じになるように調整しても良いのは勿論である。

【 0 0 8 5 】

また、異なる構造の複数の遅延素子を組み合わせ、差動入力 M O S F E T 3 2, 3 3 のゲートに差動ペア信号を伝送する信号線路 S A, S B の少なくとも一方に設けても良い。

【 0 0 8 6 】

(実施例 9)

図 1 2 は、上述した第 2 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の更に別の具体的な実現例を示している。図 1 2 において、上記図 6 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 8 7 】

本実施例 9 では、前段の回路 3 7 から差動出力ドライバ回路 3 1 へ差動ペア信号を伝送する信号線路 S C, S D にフリップフロップ回路 4 7, 4 8 を設け、こ

れらフリップフロップ回路 4 7, 4 8 に制御回路 4 5 D から異なる位相のクロック信号を与えるようにしている。

【 0 0 8 8 】

上記制御回路 4 5 D から異なる位相のクロック信号をフリップフロップ回路 4 7, 4 8 に供給して制御することにより、差動ペア信号を異なるタイミングで同期させることができ、信号線路 S A, S B を伝送される信号の遅延が実質的に同じになるように差動ペア信号間の遅延量を制御することができる。

【 0 0 8 9 】

本実施例 9 の構成によれば、差動ペア信号の立ち上がり／立下り時間を劣化させることなく、遅延量を自由に制御することが可能になる。これによって、差動ペア配線（信号線路 S A, S B）の線路長差による信号遅延時間を、差動ペア信号の立ち上がり／立下り時間を劣化させることなく正確に補償できるので、スキューやコモンモードノイズの発生をより低減できる。

【 0 0 9 0 】

〔第 3 の実施の形態〕

図 1 3 は、この発明の第 3 の実施の形態に係る半導体集積回路装置について説明するための回路図である。半導体チップ 5 0 中には、前述した実施例 9 で説明した構成の複数（ m 個）の差動出力ドライバ回路 5 1 - 1, ..., 5 1 - m 、及び受信側で終端抵抗を持たない I / O 回路 5 2 が設けられている。

【 0 0 9 1 】

上記チップ 5 0 は、配線基板 5 3 に実装されている。この配線基板 5 3 上の伝送線路 4 2, 4 3 は、パンプ 4 0, 4 1 を介して差動出力ドライバ回路 5 1 - 1 に接続されている。また、上記配線基板 5 3 上の伝送線路 5 4 は、パンプ 5 5 を介して I / O 回路 5 2 に接続されている。

【 0 0 9 2 】

上記 I / O 回路 5 2 は、P チャネル型 MOS FET 6 1 と N チャネル型 MOS トランジスタ 6 2 とからなる CMOS インバータ 6 3 と、P チャネル型 MOS FET 6 4 と N チャネル型 MOS トランジスタ 6 5 とからなる CMOS インバータ 6 6 とを備えている。上記 CMOS インバータ 6 3 は出力用であり、その入力端

が内部回路に接続され、出力端がグローバル層配線 6 7 の一端に接続されている。上記 CMOS インバータ 6 6 は入力用であり、その入力端がグローバル層配線 6 7 の一端に接続され、出力端が内部回路に接続されている。上記グローバル層配線 6 7 の他端は、バンプ 5 5 に接続され、このバンプ 5 5 には配線基板 5 3 上の伝送線路 5 4 が接続される。

【 0 0 9 3 】

すなわち、本実施の形態では、1つのチップ 5 0 中に、差動出力ドライバ回路が多数存在する中に、受信側で終端抵抗を持たない I / O 回路 5 2 が集積されている状態を示している。

【 0 0 9 4 】

受信側で終端抵抗を持たない上記 I / O 回路 5 2 は、一般に低速信号用に使用される。このような I / O 回路 5 2 に使用される伝送線路 5 4 が、差動出力ドライバ回路 5 1 - 1, ..., 5 1 - m で使用される伝送線路 4 2, 4 3 と同じ配線基板 5 3 上に形成された場合、終端を持たない伝送線路 5 4 はコモンモードノイズと結合しやすく、伝送線路 5 4 からコモンモードノイズ成分が放射されてしまう。

【 0 0 9 5 】

しかしながら、差動出力ドライバ回路 5 1 - 1, ..., 5 1 - m のスキューやコモンモードノイズを低減することにより、高速 I / O 回路と低速 I / O 回路とが混在した場合でも、低速 I / O 回路に接続される伝送線路による電磁波の放射レベルを低減することが可能になる。

【 0 0 9 6 】

また、各差動出力ドライバ回路 5 1 - 1, ..., 5 1 - m 中の制御回路 4 5 D を制御して m 個のドライバ回路 5 1 - 1, ..., 5 1 - m 及び I / O 回路 5 2 間でスキューやコモンモードノイズを考慮して遅延時間を制御すれば、チップ全体を配慮した調整が可能になる。

【 0 0 9 7 】

なお、図 1 3 では、差動出力ドライバ回路 5 1 - 1, ..., 5 1 - m として、図 1 2 に示した構成を例にとって示したが、他のいずれの実施の形態、あるいは実

施例の回路も同様に適用できる。また、受信側で終端抵抗を持たない I / O 回路の例として T T L 系インターフェースを示したが、他のいずれの形式の I / O 回路でも構わない。

【 0 0 9 8 】

〔第 4 の実施の形態〕

図 1 4 は、この発明の第 4 の実施の形態に係る半導体集積回路装置を用いたシステムについて説明するためのもので、差動ペア信号を伝送する出力回路（差動出力ドライバ回路）とその周辺回路を抽出して示している。

【 0 0 9 9 】

本第 4 の実施の形態では、チップ（半導体集積回路装置）中に、受信回路 6 8、信号選択回路 6 9 及び切替信号発生器 7 0 を設けている。上記受信回路 6 8 は、チップの外部から上記グローバル層配線 3 8、3 9 を伝送された補正データを受信して上記信号選択回路 6 9 に供給するものである。この受信回路 6 8 中には、制御信号を生成する信号処理回路が含まれている。上記信号選択回路 6 9 は、上記切替信号発生器 7 0 から出力される切り替え信号 S W で制御され、上記受信回路 6 8 から出力される制御信号と内部回路またはチップの外部から供給される制御信号 C S とを切り換えて制御回路 4 5 E に供給する。

【 0 1 0 0 】

また、チップの外部には、受信回路 7 1、送信回路 7 2 及び信号処理装置 7 3 等が設けられている。受信回路 7 1 は、半導体集積回路装置から信号線路 S A、S B を介して出力された差動ペア信号を受信するものである。信号処理装置 7 3 は、上記受信回路 7 1 で受信した差動ペア信号の信号処理を行って、差動ペア信号のアンバランスを補正するための補正データを生成するものである。送信回路 7 2 は、信号処理装置 7 3 で生成した補正データを上記半導体集積回路装置に送信するものである。上記送信回路 7 2 は、上記受信回路 7 1 と同一のチップ中に搭載されている。

【 0 1 0 1 】

上記のような構成において、半導体集積回路装置から出力される差動ペア信号を受信回路 7 1 でモニタし、信号処理装置 7 3 で最も良好な受信信号波形を示す

ように遅延量を求める。そして、信号処理装置 7 3 から得られた処理結果の補正データを、送信回路 7 2 から伝送線路 4 2, 4 3、パッド 4 0, 4 1 及びグローバル層配線 3 8, 3 9 を介して受信回路 6 8 に供給する。これによって、受信回路 6 8 中の信号処理回路で、上記制御回路 4 5 E を制御するための制御信号が生成される。上記信号選択回路 6 9 は、切替信号発生器 7 0 の制御によって、制御回路 4 5 E に上記信号処理回路によって生成した制御信号または制御信号 C S を供給し、フリップフロップ回路 4 7, 4 8 を制御して前段の回路 3 7 から差動入力 M O S F E T 3 2, 3 3 のゲートに供給される差動ペア信号を異なるタイミングで同期させる。

【 0 1 0 2 】

上記のような構成のシステムによれば、半導体集積回路装置から出力される差動ペア信号をモニタして遅延量を決定するので、遅延量を最適化することができる。また、半導体集積回路装置から出力される差動ペア信号の波形を最適化できる。これによって、半導体集積回路装置に接続される差動ペア配線の線路長差によるスキューやコモンモードノイズの発生をより効果的に低減することができる。

【 0 1 0 3 】

なお、本第 4 の実施の形態では、図 1 2 に示したフリップフロップ回路 4 7, 4 8 を用いる構成を例に取って説明したが、同様にして他の実施の形態や実施例の構造に適用できるのは勿論である。

【 0 1 0 4 】

また、送信回路 7 2 から出力される補正データを、差動ペア信号を外部へ出力するための信号線路 S A, S B を用いて受信回路 6 8 に供給する場合を例に取って説明したが、他の経路を経由して受信回路 6 8 に入力するように構成しても良い。

【 0 1 0 5 】

〔第 5 の実施の形態〕

図 1 5 は、この発明の第 5 の実施の形態に係る半導体集積回路装置、及び半導体集積回路装置を用いたシステムについて説明するためのもので、差動ペア信号

を伝送する出力回路（差動出力ドライバ回路）とその周辺回路を抽出して示している。本第 5 の実施の形態では、チップ中にテスト信号生成回路 7 4 を設け、このテスト信号生成回路 7 4 から出力される信号で制御回路 4 5 F を制御している。

【 0 1 0 6 】

上記テスト信号生成回路 7 4 により、制御回路 4 5 F から出力されるクロック信号の位相を変化させ、フリップフロップ回路 4 7, 4 8 による差動ペア信号の遅延量を制御する。そして、上記伝送線路 4 2, 4 3 に I C テスタを接続し、差動ペア信号の正誤を判断し、遅延量のマージンを検査する。この際、上記テスト信号生成回路 7 4 には、I C テスタからテスト信号 T S が供給されて動作が制御される。

【 0 1 0 7 】

上記のようにテスト信号生成回路 7 4 をチップに内蔵することにより、差動ペア信号間のアンバランスによって発生するスキューやコモンモードノイズに対するマージンを試験することが可能になる。

【 0 1 0 8 】

なお、本第 5 の実施の形態では、図 1 2 に示したフリップフロップ回路 3 7, 3 8 を用いる構成を例に取って説明したが、同様にして他の実施の形態や実施例の構造にテスト信号生成回路 7 4 を設けても良い。

【 0 1 0 9 】

〔第 6 の実施の形態〕

図 1 6 は、この発明の第 6 の実施の形態に係る半導体集積回路装置、及び半導体集積回路装置を用いたシステムについて説明するためのもので、差動ペア信号を伝送する出力回路（差動出力ドライバ回路）とその周辺回路を抽出して示している。本第 6 の実施の形態は、第 4 の実施の形態の構成と第 5 の実施の形態の構成とを組み合わせたものである。

【 0 1 1 0 】

図 1 6 に示す回路は、制御回路 4 5 G が図 1 4 に示した制御回路 4 5 E と図 1 5 に示した制御回路 4 5 F の両方の機能を有する。他の構成は、図 1 4 及び図 1

5に示した回路と同様である。よって、同一部分に同じ符号を付してその詳細な説明は省略する。

【0 1 1 1】

このような構成では、テスト信号を入力して半導体集積回路装置から出力される差動ペア信号を受信回路71でモニタし、モニタ結果に応じて、フリップフロップ回路47、48を制御して差動ペア信号を異なるタイミングで同期させることができる。従って、上記図14及び図15に示した回路の両方の効果が得られる。

【0 1 1 2】

上述したように、本発明の第1乃至第6実施の形態に係る半導体集積回路装置によれば、差動ペア配線の線路長差によるスキューやコモンモードノイズの発生を抑制することができる。

【0 1 1 3】

また、本発明の第4乃至第6の実施の形態に係る半導体集積回路装置を用いたシステムによれば、差動ペア信号の波形を最適化できる。

【0 1 1 4】

更に、本発明の第5及び第6の実施の形態に係る半導体集積回路装置を用いたシステムによれば、製造ばらつきによる差動ペア信号のアンバランスによるスキューやコモンモードノイズ対するマージンを検査できる。

【0 1 1 5】

以上第1乃至第6の実施の形態と実施例1乃至9を用いてこの発明の説明を行ったが、この発明は上記各実施の形態や実施例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態や実施例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【 0 1 1 6 】

【発明の効果】

以上説明したように、この発明によれば、差動ペア配線の線路長差によるスキューやコモンモードノイズの発生を抑制できる半導体集積回路装置が得られる。

【 0 1 1 7 】

また、製造ばらつきによるスキューやコモンモードノイズに対するマージンを検査できる半導体集積回路装置を用いたシステムが得られる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施の形態に係る半導体集積回路装置について説明するためのもので、差動ペア信号を伝送する出力回路を抽出して示す回路図。

【図 2】 第 1 の実施の形態に係る半導体集積回路装置における遅延素子の具体的な実現例（実施例 1）を示す回路図。

【図 3】 第 1 の実施の形態に係る半導体集積回路装置における遅延素子の他の具体的な実現例（実施例 2）を示す回路図。

【図 4】 第 1 の実施の形態に係る半導体集積回路装置における遅延素子の更に他の具体的な実現例（実施例 3）を示す回路図。

【図 5】 第 1 の実施の形態に係る半導体集積回路装置における遅延素子 4 4 の別の具体的な実現例（実施例 4）を示す回路図。

【図 6】 この発明の第 2 の実施の形態に係る半導体集積回路装置について説明するためのもので、差動ペア信号を伝送する出力回路を抽出して示す回路図。

【図 7】 差動線路の前段に遅延要素を挿入した場合の効果についてシミュレーションした結果を示しており、（a）図は差動ペア信号の波形のコモンモードのピークトゥーピーク値、（b）図は差動ペア信号の波形のディファレンシャルモードの最大値、（c）図は差動ペア信号の波形の遷移をそれぞれ示す図。

【図 8】 この発明の第 2 の実施の形態に係る半導体集積回路装置における遅延素子の具体的な実現例（実施例 5）を示す回路図。

【図 9】 この発明の第 2 の実施の形態に係る半導体集積回路装置における

遅延素子の更に他の具体的な実現例（実施例 6）を示す回路図。

【図 1 0】 この発明の第 2 の実施の形態に係る半導体集積回路装置における遅延素子の別の具体的な実現例（実施例 7）を示す回路図。

【図 1 1】 この発明の第 2 の実施の形態に係る半導体集積回路装置における遅延素子の更に別の具体的な実現例（実施例 8）を示す回路図。

【図 1 2】 この発明の第 2 の実施の形態に係る半導体集積回路装置における遅延素子の他の具体的な実現例（実施例 9）を示す回路図。

【図 1 3】 この発明の第 3 の実施の形態に係る半導体集積回路装置について説明するための回路図。

【図 1 4】 この発明の第 4 の実施の形態に係る半導体集積回路装置及び半導体集積回路装置を用いたシステムについて説明するための回路図。

【図 1 5】 この発明の第 5 の実施の形態に係る半導体集積回路装置及び半導体集積回路装置を用いたシステムについて説明するための回路図。

【図 1 6】 この発明の第 6 の実施の形態に係る半導体集積回路装置及び半導体集積回路装置を用いたシステムについて説明するための回路図。

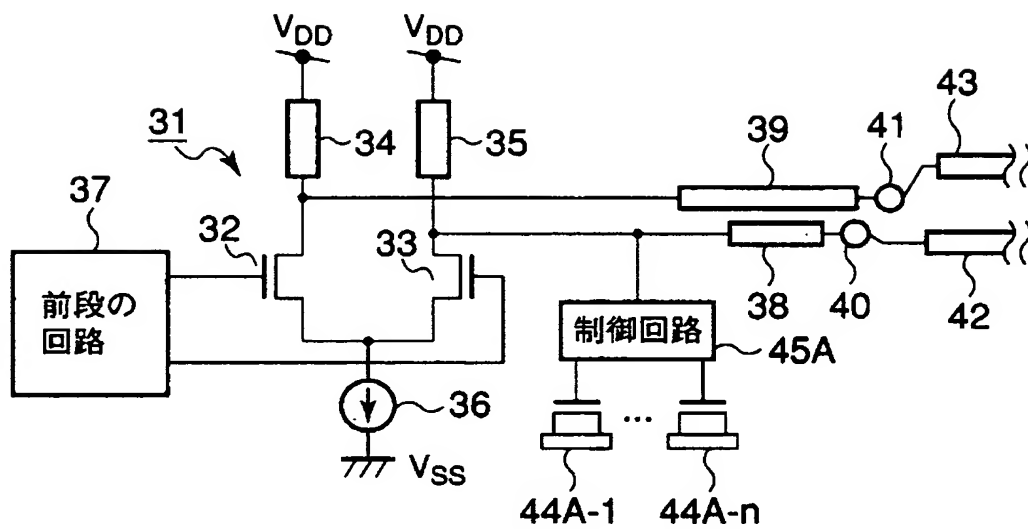
【図 1 7】 従来の半導体集積回路装置について説明するためのもので、差動ペア信号を伝送する出力回路を抽出して示す回路図。

【符号の説明】

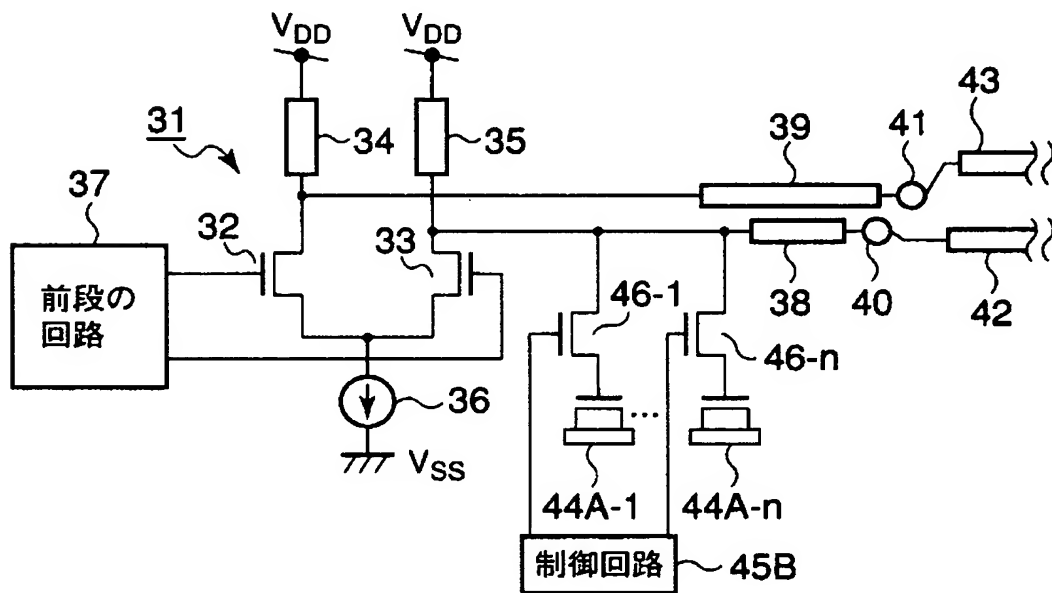
3 1, 5 1 - 1 ~ 5 1 - m … 差動出力ドライバ回路、3 2, 3 3 … 差動入力 MOSFET、3 4, 3 5 … 負荷素子、3 6 … 定電流源、3 7 … 前段の回路（集積回路）、3 8, 3 9 … グローバル層配線、4 0, 4 1, 5 5 … バンプ、4 2, 4 3, 5 4 … 伝送線路、4 4 … 遅延素子（遅延部）、4 4 A, 4 4 A - 1 ~ 4 4 A - n … キャパシタンス素子、4 5 A, 4 5 B, 4 5 C, 4 5 D, 4 5 E, 4 5 F … 制御回路、4 6 - 1 ~ 4 6 - n … スイッチング素子（MOSFET）、4 7, 4 8 … フリップフロップ回路（第 1, 第 2 のフリップフロップ回路）、5 0 … 半導体チップ、5 2 … I/O 回路（入出力回路）、5 3 … 配線基板、6 8 … 受信回路（第 2 の受信部）、6 9 … 信号選択回路、7 0 … 切替信号発生器、7 1 … 受信回路（第 1 の受信部）、7 2 … 送信回路（送信部）、7 3 … 信号処理装置（信号処理部）、7 4 … テスト信号生成回路（テスト部）、S A, S B … 信号線路（第

1, 第 2 の信号線路)、 SC , SD …信号線路 (第 3, 第 4 の信号線路)、 ΔL
…線路長差、 CS …制御信号、 TS …テスト信号、 SW …切り替え信号、 V_{DD}
, V_{SS} …電源。

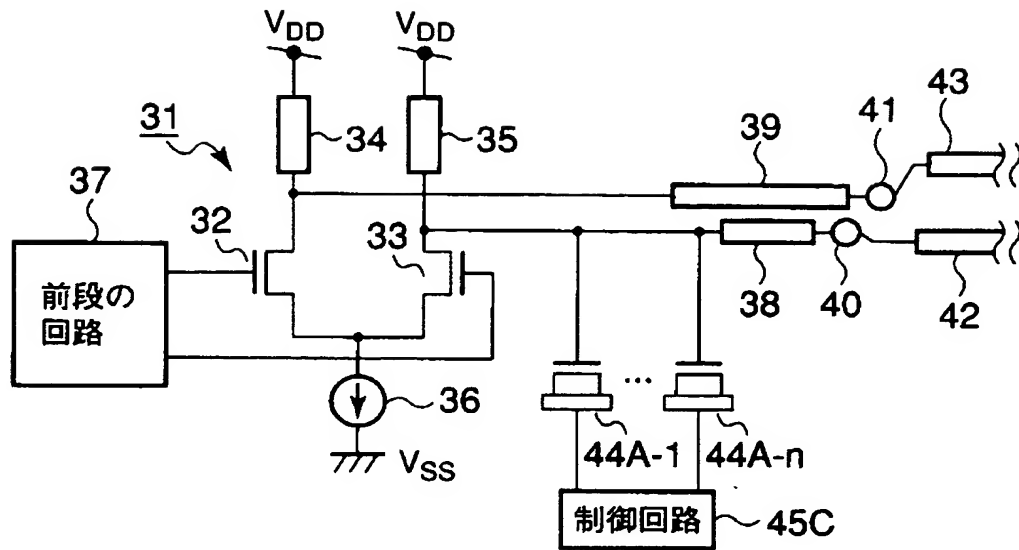
【図 3】



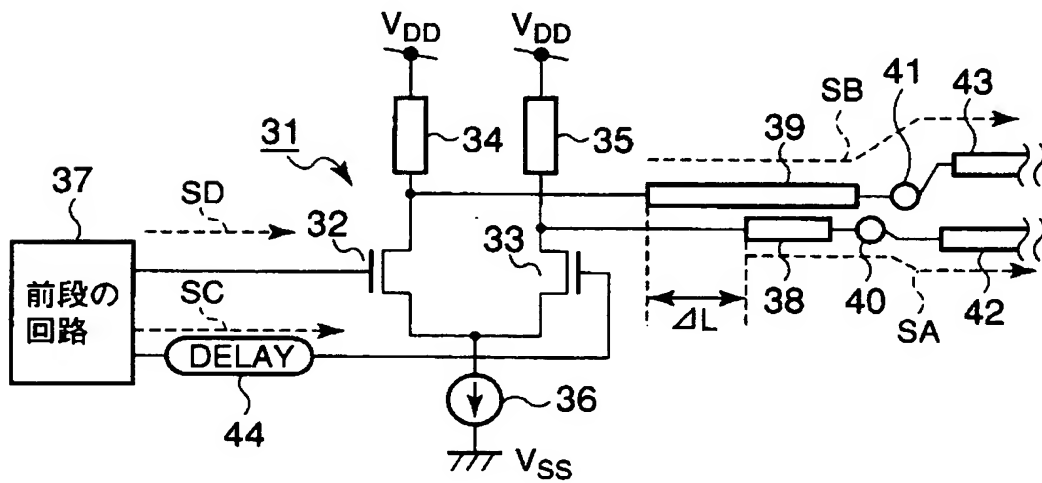
【図 4】



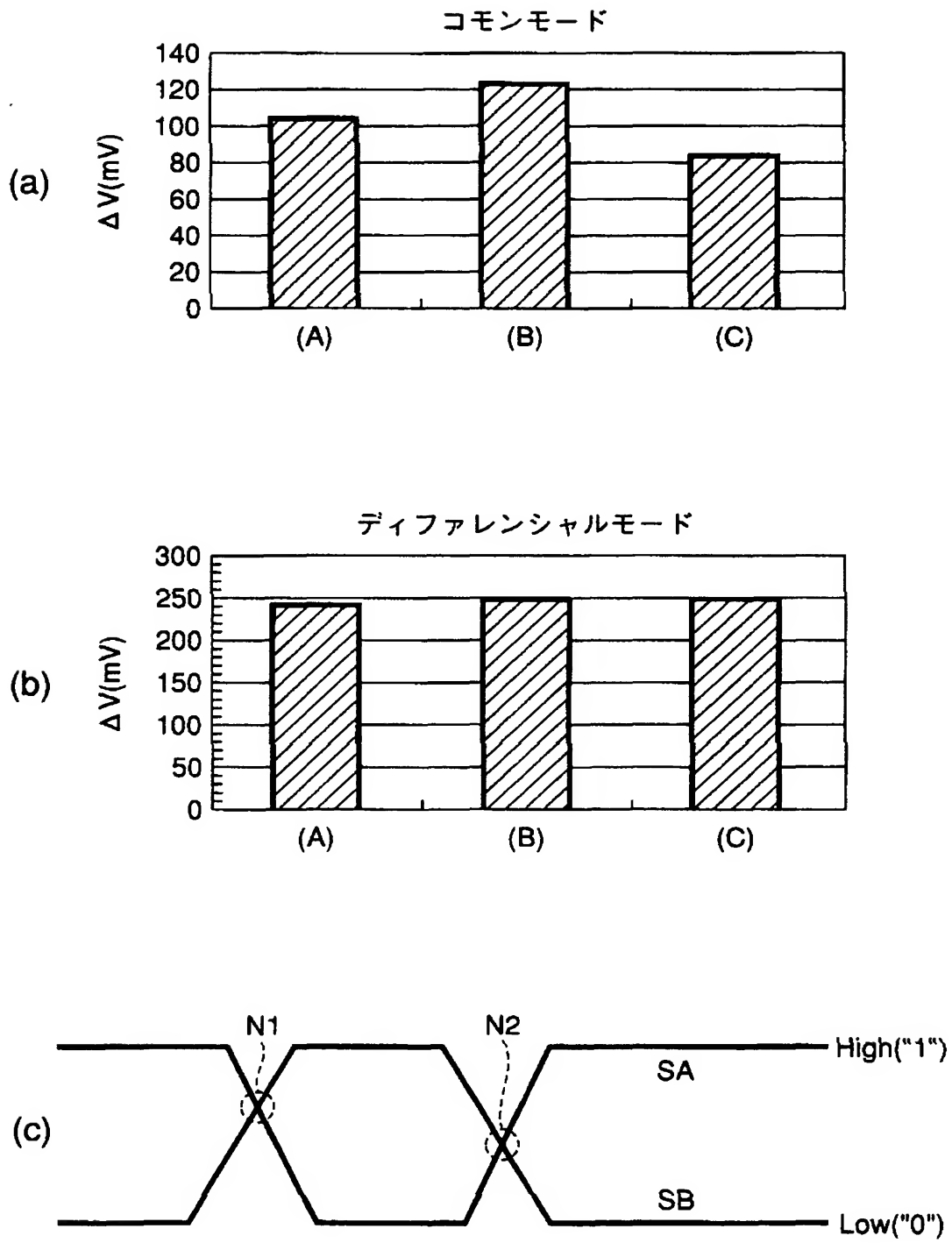
【図 5】



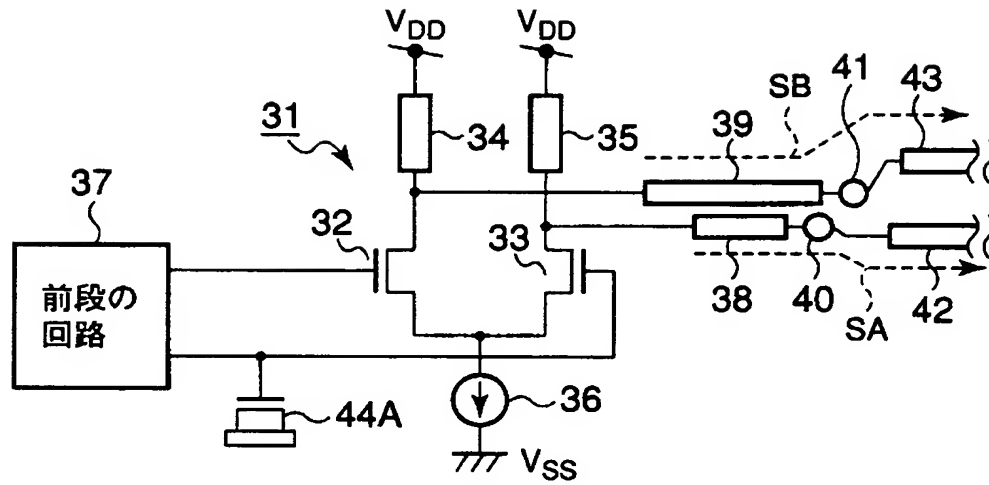
【図 6】



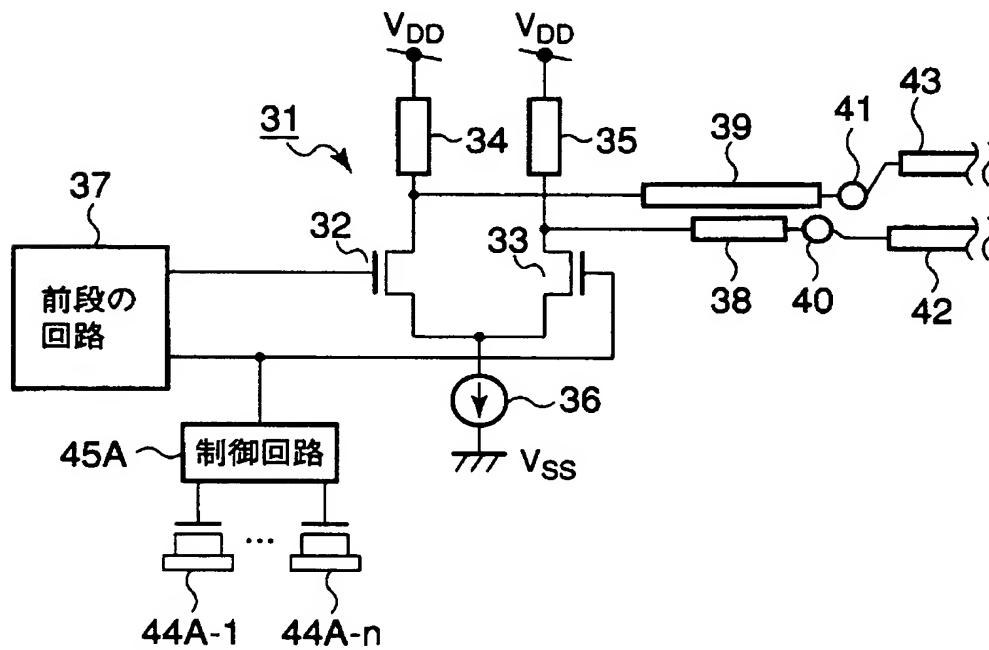
【図 7】



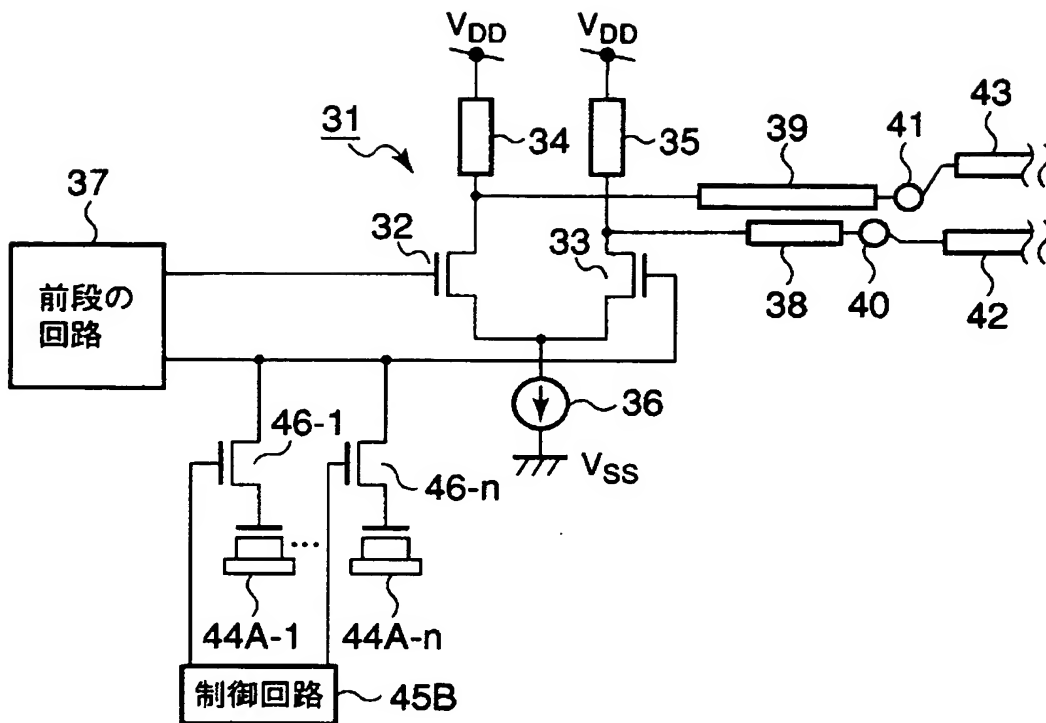
【図 8】



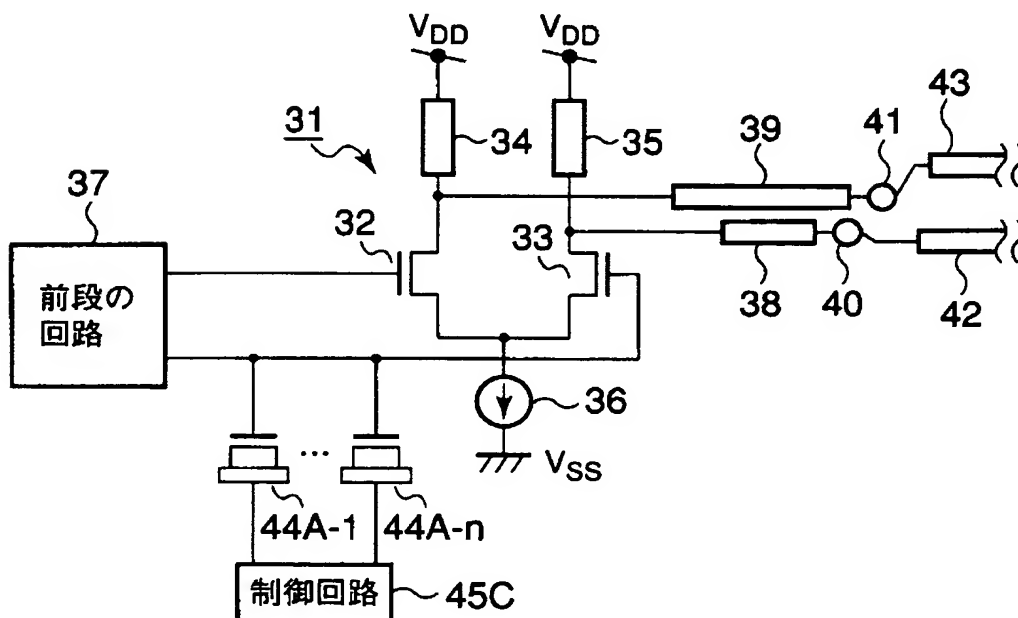
【图 9】



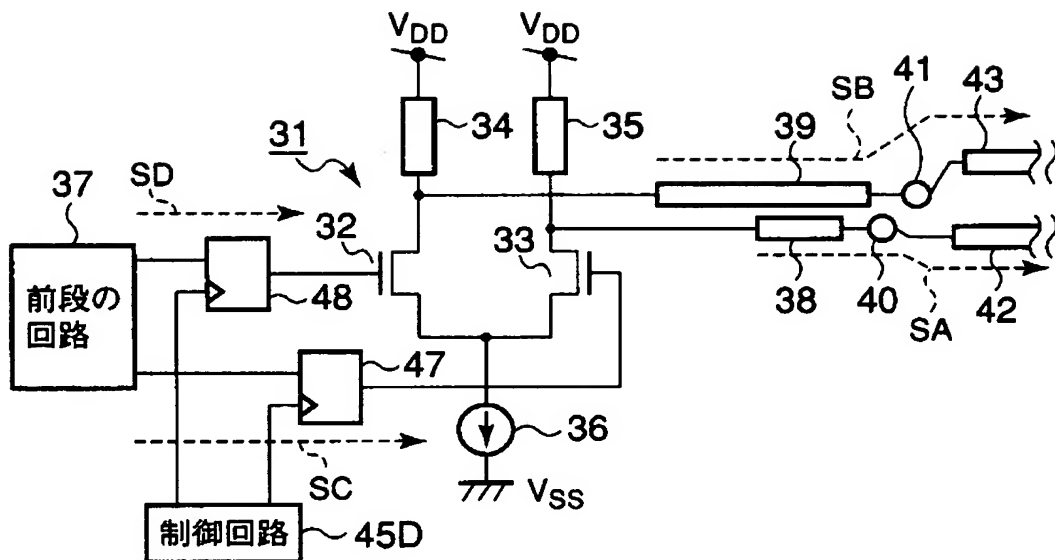
【図 1 0】



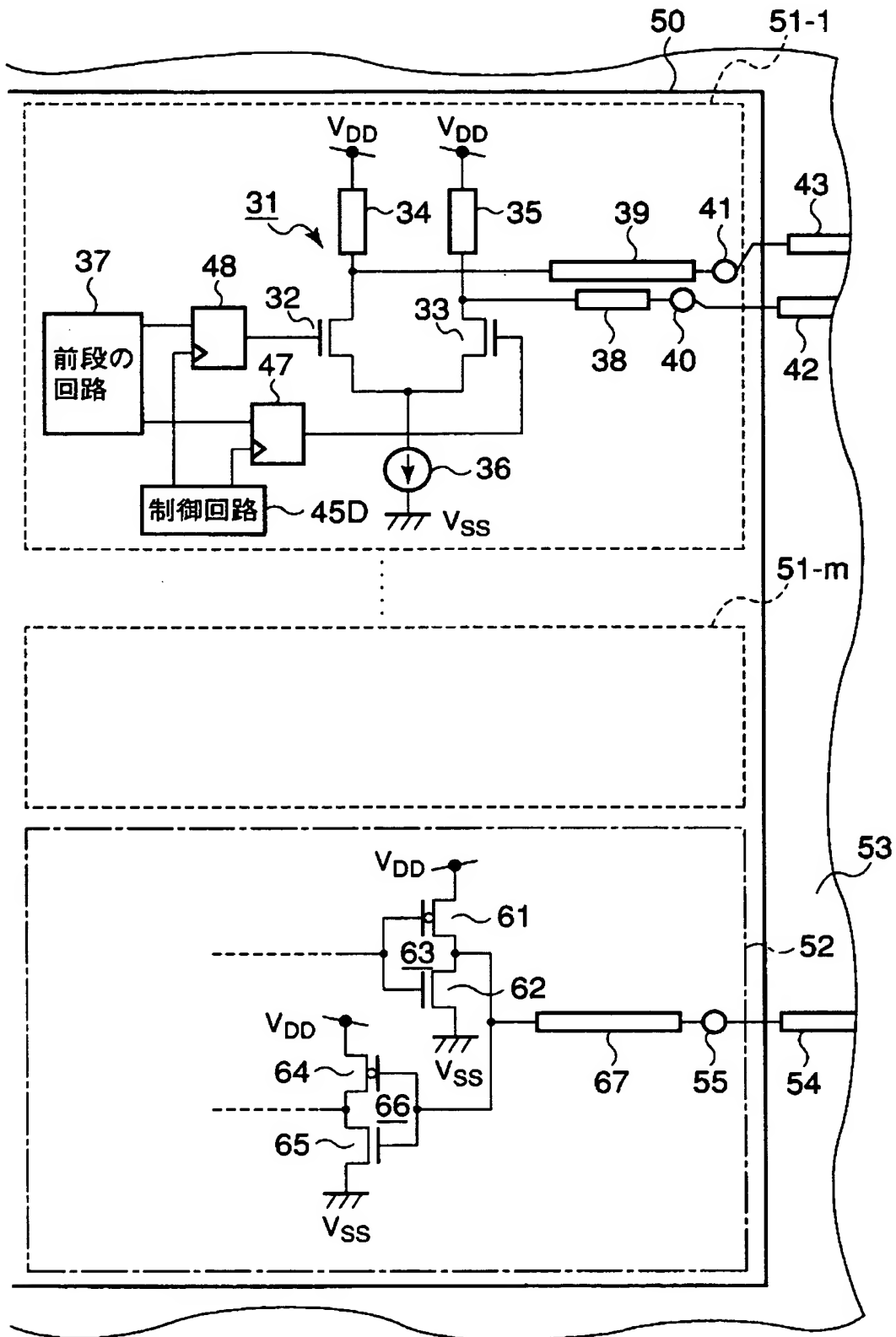
【図 1 1】



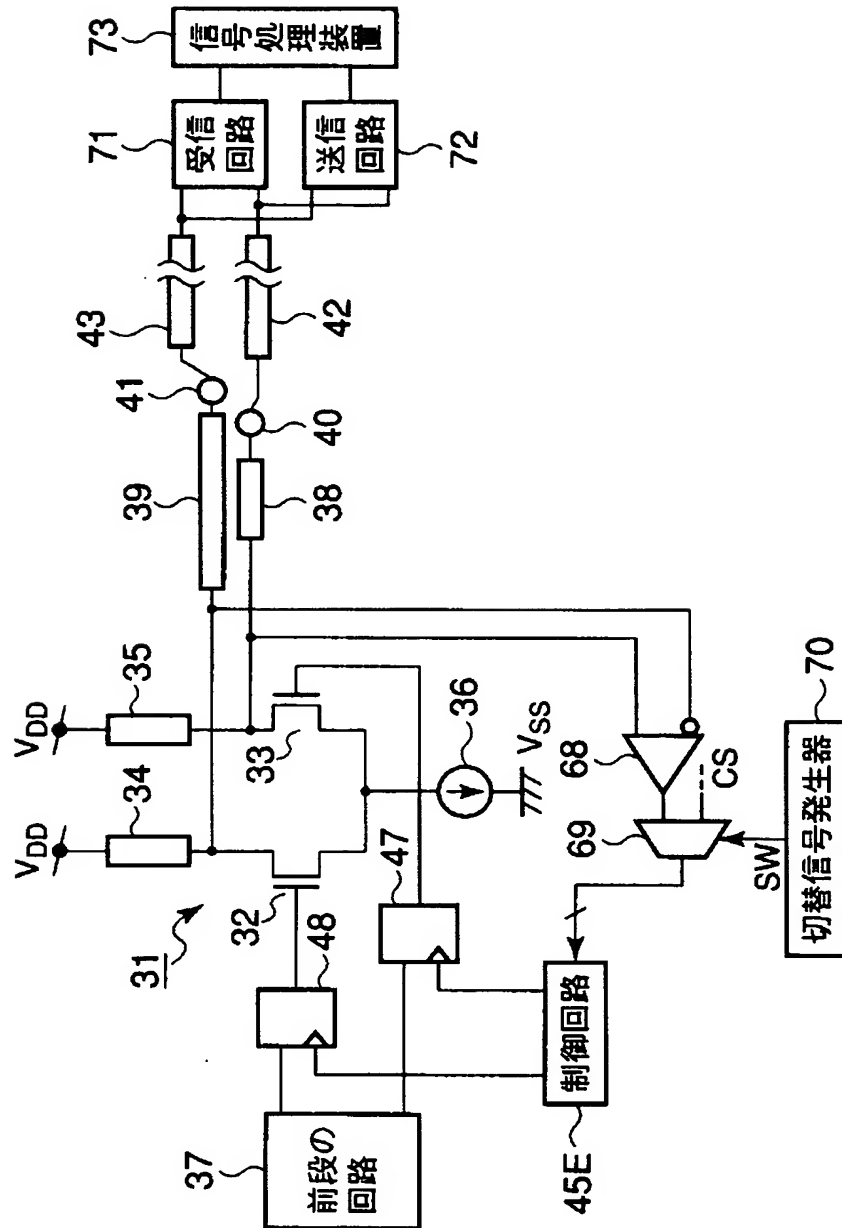
【图 1 2】



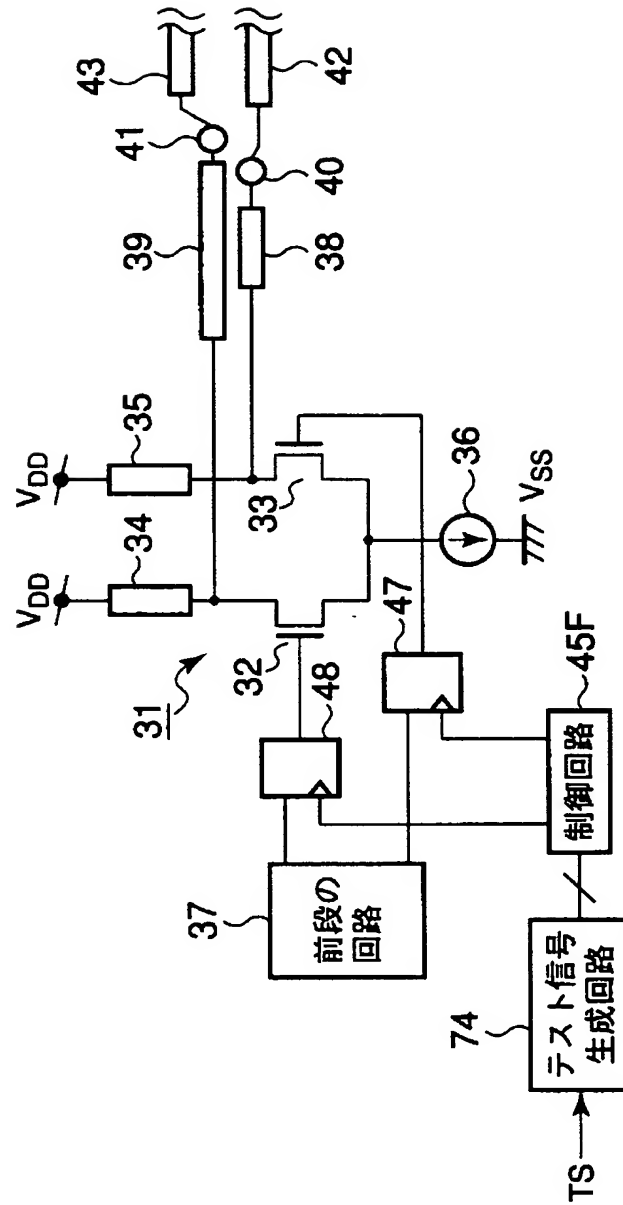
【図 13】



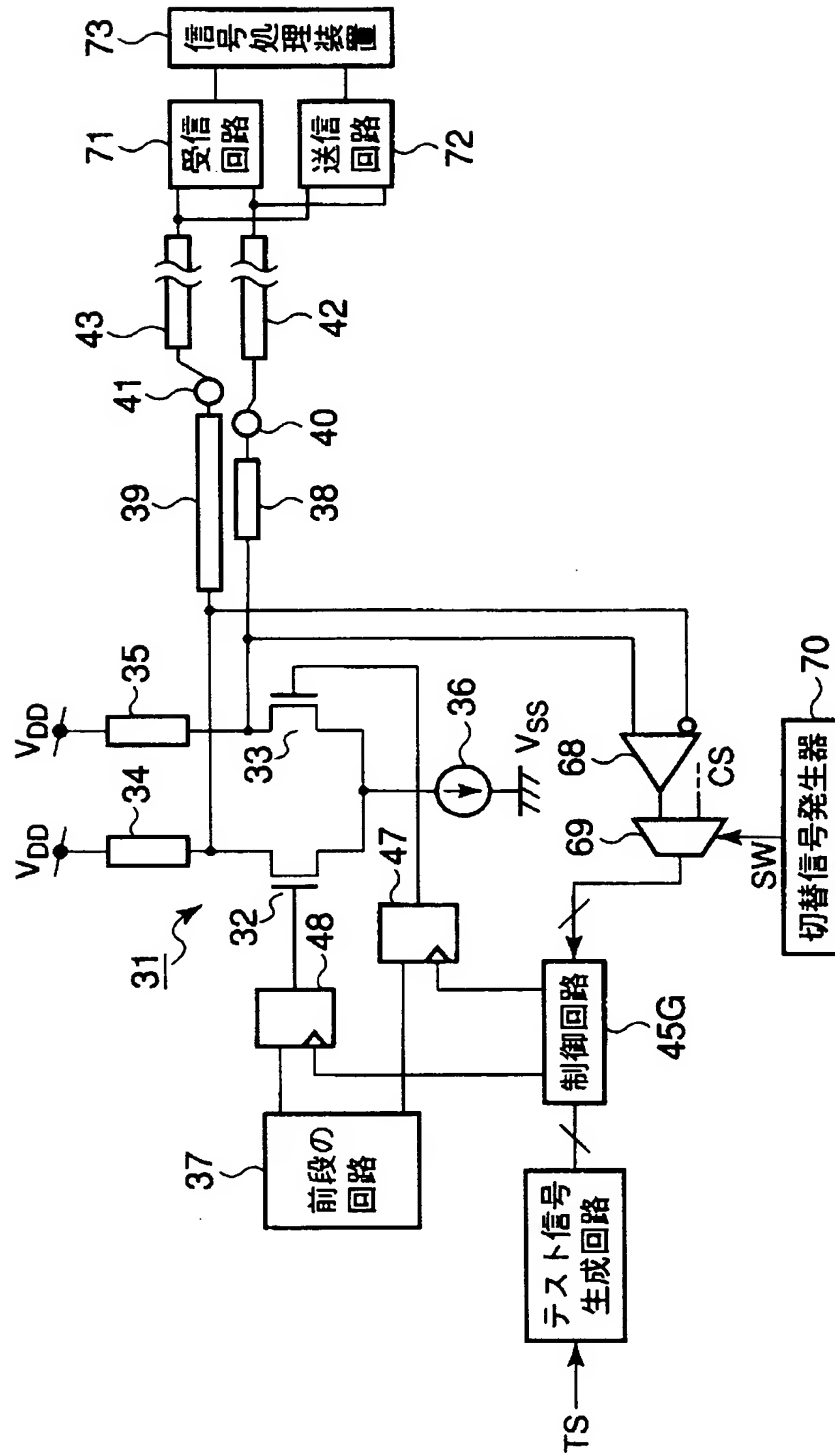
【图 14】



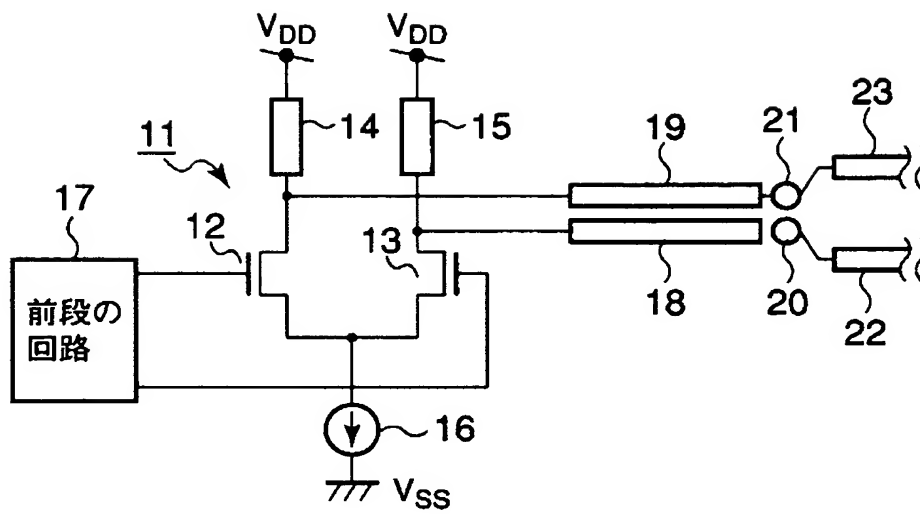
【図 1 5】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 差動ペア配線の線路長差によるスキューやコモンモードノイズの発生を抑制できる半導体集積回路装置を提供することを目的としている。

【解決手段】 半導体集積回路装置は、各 I / O 部に設けられた差動出力ドライバ回路 3 1 と遅延素子 4 4 を備えている。差動出力ドライバ回路には、前段の回路 3 7 で生成された差動ペア信号が入力され、その出力信号は信号線路 S A , S B を介して伝送される。信号線路 S A , S B には、グローバル層配線 3 8 , 3 9 、バンプ 4 0 , 4 1 及び伝送線路 4 2 , 4 3 が含まれている。上記遅延素子は、上記信号線路の少なくとも一方に設けられ、これら信号線路を伝送される信号の遅延が実質的に同じになるように遅延し、線路長差 ΔL による信号遅延時間を補償することを特徴としている。これによって、差動ペア配線（信号線路 S A , S B ）の線路長差によるスキューやコモンモードノイズの発生を抑制できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝